

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-123717

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/00	5 6 4 A	7623-5B		
1/06				
12/06	5 2 2 A	7623-5B		
// G 0 6 F 13/42	3 5 0 C	9188-5E		
G 0 6 F 1/ 04 3 1 2 D				
審査請求 未請求 請求項の数 5 O L (全 17 頁)				

(21) 出願番号 特願平6-260449

(22) 出願日 平成6年(1994)10月25日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 大野 恭裕

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 宮田 学

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

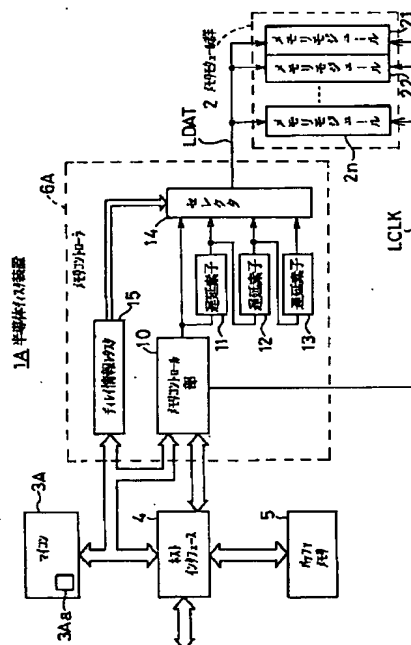
(74) 代理人 弁理士 工藤 宣幸 (外2名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 データ線やクロック信号線等が共有されているいずれのメモリモジュールのアクセスしても、十分なセットアップタイムやホールドタイムを確保できる高速動作可能な半導体記憶装置を実現する。

【構成】 各半導体メモリモジュール21、…、2nに対応したアクセスタイミング情報3Aaを予め格納しておき、このタイミング情報に基づいて、アクセス対象の半導体メモリモジュールに応じて、転送先側でのデータ取り込みタイミングを可変させたり、及び又は、クロック幅を変化させたりする。



【特許請求の範囲】

【請求項1】 複数の半導体メモリモジュールが、共通のクロック信号線及び共通の1又は2以上の他の信号線を介して、そのアクセス手段に接続されている半導体記憶装置において、

上記アクセス手段に、

上記各半導体メモリモジュールに対応したアクセスタイミング情報を予め格納しているタイミング情報格納部と、

このタイミング情報格納部に格納されているタイミング情報に基づいて、アクセス対象の上記半導体メモリモジュールに応じて、転送先側でのデータ取り込みタイミングを可変させるタイミング可変手段とを設けたことを特徴とする半導体記憶装置。

【請求項2】 複数の半導体メモリモジュールが、共通のクロック信号線及び共通の1又は2以上の他の信号線を介して、そのアクセス手段に接続されている半導体記憶装置において、

上記各半導体メモリモジュールとして、動作スピードが異なる複数種類のものを適用すると共に、

上記アクセス手段に、

各半導体メモリモジュールに対応したアクセスタイミング情報を予め格納しているタイミング情報格納部と、このタイミング情報格納部に格納されているタイミング情報に基づいて、アクセス対象の上記半導体メモリモジュールに与えるクロック信号のクロック幅を切り替えるクロック幅可変手段とを設けたことを特徴とする半導体記憶装置。

【請求項3】 複数の半導体メモリモジュールが、共通のクロック信号線及び共通の1又は2以上の他の信号線を介して、そのアクセス手段に接続されている半導体記憶装置において、

上記各半導体メモリモジュールとして、動作スピードが異なる複数種類のものを適用すると共に、

上記アクセス手段に、

各半導体メモリモジュールに対応したアクセスタイミング情報を予め格納しているタイミング情報格納部と、このタイミング情報格納部に格納されているタイミング情報に基づいて、アクセス対象の上記半導体メモリモジュールに応じて、転送先側でのデータ取り込みタイミングを可変させるタイミング可変手段と、このタイミング情報格納部に格納されているタイミング情報に基づいて、アクセス対象の上記半導体メモリモジュールに与えるクロック信号のクロック幅を切り替えるクロック幅可変手段とを設けたことを特徴とする半導体記憶装置。

【請求項4】 上記タイミング可変手段が、タイミング情報に基づいて、アクセス対象の上記半導体メモリモジュールに向かうデータやコントロール信号等を、書き込み用のクロック信号に対して移相させるものであること

を特徴とする請求項1又は3に記載の半導体記憶装置。

【請求項5】 上記タイミング可変手段が、タイミング情報に基づいて、アクセス対象の上記半導体メモリモジュールに与える読み出し用のクロック信号に対して、読み出しデータを取り込むためのクロック信号を移相させるものであることを特徴とする請求項1又は3のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体記憶装置に関し、例えば、ハードディスク装置と同様に用いられる複数の半導体メモリを搭載している半導体ディスク装置に適用し得るものである。

【0002】

【従来の技術】 例えば、ノート形パソコン（パーソナルコンピュータ）においては、ハードディスク装置等を接続する拡張用スロットに、カード形に形成された半導体ディスク装置を接続してそのメモリ空間を拡張できるようになされている。

【0003】 このように補助記憶装置として用いられる従来の半導体ディスク装置は、図2に示す構成を有するものであった。

【0004】 図2において、従来の半導体ディスク装置1は、1又は2以上のメモリモジュール群2と、マイコン（マイクロコンピュータ）3と、ホストインタフェース4と、バッファメモリ5と、メモリコントローラ6とから構成されている。メモリモジュール群2は、例えばそれぞれが1チップのシリアルメモリ（例えばフラッシュメモリ）でなる同一のスピード性能を有する複数（ n 個）のメモリモジュール21～2 n を備え、同一のメモリモジュール群2の各メモリモジュール21、…、2 n は、共通の双方向のデータ線LDAT及びクロック信号線CLKに接続されている。

【0005】 ここで、例えば、各メモリモジュール群2は、ハードディスク装置におけるヘッドに対応するものであり、各メモリモジュール21、…、2 n 自体はハードディスク装置におけるシリンダに対応するものであり、各メモリモジュール21、…、2 n の内部記憶領域はあるセクタ番地からあるセクタ番地までの所定数のセクタに対応するものである。

【0006】 なお、各メモリモジュール21、…、2 n は、半導体ディスク装置1用に形成されたものであり、アドレスとアクセス種類等の制御用シリアルデータが与えられたときには、その後1セクタ分（例えば536バイト）のデータを連続して書き込み又は読み出しできるものである。

【0007】 このような半導体ディスク装置1に書き込み動作を実行させる場合には、図示しないホストコンピュータ側から、ヘッド番号、シリンダ番号、先頭セクタ番号、書き込みセクタ数等の情報を含むコマンドが与え

られると共に、書き込み動作を指示するコマンドが与えられ、これらコマンドの発行後、シーク時間や回転時間等に相当する所定時間だけ経過した時点からデータが転送されてくる。

【0008】ホストインタフェース4を介してコマンドを受領したマイコン3は、そのコマンドを解析して、データを書き込むメモリモジュール21やそのメモリモジュール21でのセクタ対応のアドレス等のメモリモジュール21をアクセスし得る制御情報に変換して、メモリコントローラ6に与える。また、送信されてきた書き込み用データは、ホストインタフェース4を介してバッファメモリ5に与えられて格納される。

【0009】メモリコントローラ6は、マイコン3からの制御情報に基づいて、アドレスや書き込みを指示するコントロール信号等なる制御用シリアルデータを双方向データ線LDATを介して所定のメモリモジュール群2に送出した後、バッファメモリ5に格納されている1セクタ分のデータを取り出してパラレル/シリアル変換して双方向データ線LDATを介して所定のメモリモジュール群2に送出し、このようなセクタ単位の転送を繰返す。制御用シリアルデータを双方向データ線LDATに送出するときや、書き込みデータを双方向データ線LDATに送出するときには、メモリコントローラ6は当然に、同期してクロック信号線CLKにクロック信号を送出する。これにより、メモリモジュール群2の所定のメモリモジュール21にホストコンピュータ側から与えられたデータが書き込まれる。

【0010】一方、半導体ディスク装置1に読み出し動作を実行させる場合には、図示しないホストコンピュータ側から、ヘッダ番号、シリンダ番号、先頭セクタ番号、書き込みセクタ数等の情報を含むコマンドが与えられると共に、読み出し動作を指示するコマンドが与えられる。

【0011】ホストインタフェース4を介してコマンドを受領したマイコン3は、そのコマンドを解析して、データを読み出すメモリモジュール21やそのメモリモジュール21でのセクタ対応のアドレス等のメモリモジュール21をアクセスし得る制御情報に変換して、メモリコントローラ6に与える。

【0012】メモリコントローラ6は、マイコン3からの制御情報に基づいて、アドレスや読み出しを指示するコントロール信号等なる制御用シリアルデータを双方向データ線LDATを介して所定のメモリモジュール群2に送出すると共に、同期してクロック信号をクロック信号線CLKを介してそのメモリモジュール群2に送出する。メモリコントローラ6は、制御用シリアルデータの送出後においても、クロック信号をクロック信号線CLKを介してそのメモリモジュール群2に継続して送出し、このクロック信号に基づいてメモリモジュール群2の所定のメモリモジュール21からデータ線LDAT

Tに読み出されたデータを取り込んでパラレルデータに変換し、ホストインタフェース4を介してバッファメモリ5に格納させる。このようにしてバッファメモリ5に格納された読み出しデータが、ホストインタフェース4を介してホストコンピュータ側に送出される。

【0013】

【発明が解決しようとする課題】しかしながら、従来の半導体ディスク装置1においては、(1)メモリコントローラの製造バラツキによってデータの出力タイミングに対するクロック信号のタイミングが設計値からずれることを避け得ない、(2)メモリモジュール間での製造バラツキによる性能差が存在する、(3)同一のメモリモジュールに対するクロック信号線及び双方向データ線であっても、その搭載位置によってそれらの信号線の長さが異なり、また、その経路によって寄生容量及び寄生抵抗が異なり、転送遅延量が異なる、(4)同一のメモリモジュール群に所属するメモリモジュールであっても、各メモリモジュールの搭載位置によって、信号線の長さが異なり、また、その経路によって寄生容量及び寄生抵抗が異なり、転送遅延量が異なる、(5)転送遅延量の変動(スキュー)を避け得ない、等の理由により、転送データとクロック信号とのタイミング関係が転送先(書き込み動作であればメモリモジュール、読み出し動作であればメモリコントローラ)において、所定のタイミング関係からずれるという問題点があった。

【0014】そのため、一定のタイミングで転送を行なうと、メモリモジュールによっては、セットアップタイムやホールドタイムのタイミングが厳しくなり、書き込みや読み出しで誤動作が起きる可能性が大きい。

【0015】全てのメモリモジュールで同様なタイミングずれであれば、例えば、メモリコントローラからのクロック信号の位相調整でかかる不都合を避けることができるが、例えば、図3(a)及び(b)に示すように、メモリコントローラ6から最近のメモリモジュール2nで良好なタイミングであっても、図3(c)及び(d)に示すように、メモリコントローラ6から最遠のメモリモジュール21ではセットアップタイムやホールドタイムのタイミングが非常に厳しくなったりし、上記措置は適用できない。

【0016】また、サイクル時間(クロック周期)を大きくしてセットアップタイムやホールドタイムのマージンを大きくすることにより、書き込みや読み出し時の誤動作を防ぐ方法がある。しかし、かかる方法によれば、メモリモジュールへの転送時及びメモリモジュールからの転送時の転送速度は減少し、半導体ディスク装置の動作スピードを落とさなければならないという別個の問題が生じる。

【0017】このような課題は、半導体ディスク装置だけでなく、複数のメモリモジュールがデータ線やクロック信号線等を共有している各種の半導体記憶装置につい

て同様に生じている。

【0018】従って、データ線やクロック信号線等を共有されているいずれのメモリモジュールをアクセスした場合であっても、十分なセットアップタイムやホールドタイムを確保できる高速動作可能な半導体記憶装置が望まれている。

【0019】

【課題を解決するための手段】かかる課題を解決するため、第1の本発明においては、複数の半導体メモリモジュールが、共通のクロック信号線及び共通の1又は2以上の他の信号線を介して、そのアクセス手段に接続されている半導体記憶装置において、アクセス手段に、各半導体メモリモジュールに対応したアクセスタイミング情報を予め格納しているタイミング情報格納部と、このタイミング情報格納部に格納されているタイミング情報に基づいて、アクセス対象の半導体メモリモジュールに応じて、転送先側でのデータ取り込みタイミングを可変させるタイミング可変手段とを設けたことを特徴とする。

【0020】また、第2の本発明においては、複数の半導体メモリモジュールが、共通のクロック信号線及び共通の1又は2以上の他の信号線を介して、そのアクセス手段に接続されている半導体記憶装置において、各半導体メモリモジュールとして、動作スピードが異なる複数種類のものを適用すると共に、アクセス手段に、各半導体メモリモジュールに対応したアクセスタイミング情報を予め格納しているタイミング情報格納部と、このタイミング情報格納部に格納されているタイミング情報に基づいて、アクセス対象の半導体メモリモジュールに与えるクロック信号のクロック幅を切り替えるクロック幅可変手段とを設けたことを特徴とする。

【0021】さらに、第3の本発明は、第1及び第2の本発明の特徴構成を組み合わせることで構成したことを特徴とする。

【0022】

【作用】第1の本発明において、ある半導体メモリモジュールをアクセスする場合には、タイミング情報格納部に格納されているその半導体メモリモジュールに対応したアクセスタイミング情報が取出され、タイミング可変手段が、このタイミング情報に基づいて、アクセス対象の半導体メモリモジュールに応じて、転送先側でのデータ取り込みタイミングを可変させる。これにより、アクセスする半導体メモリモジュールが変わっても、常に各半導体メモリモジュールに対し、適切なタイミングでアクセスすることができ、データ転送を良好にできる。

【0023】また、第2の本発明においては、各半導体メモリモジュールとして、動作スピードが異なる複数種類のものを適用し、メモリモジュールの自由度を高めている。この場合において、ある半導体メモリモジュールをアクセスする場合には、タイミング情報格納部に格納されているその半導体メモリモジュールに対応したア

クセスタイミング情報が取出され、クロック幅可変手段が、このタイミング情報に基づいて、アクセス対象の半導体メモリモジュールに与えるクロック信号のクロック幅を切り替える。これにより、動作スピードが異なる半導体メモリモジュールが混在していても、常に各半導体メモリモジュールに対し、適切なタイミングでアクセスすることができ、データ転送を良好にできる。

【0024】第3の本発明は、第1及び第2の本発明の特徴構成を組み合わせるものであるため、第1及び第2の本発明の作用を共に発揮する。

【0025】

【実施例】

(A) 第1実施例

以下、本発明を半導体ディスク装置に適用した第1実施例を図面を参照しながら詳述する。

【0026】なお、この第1実施例及び後述する第2実施例は、半導体ディスク装置内の全てのメモリモジュールが同一の動作スピードを有するものである場合であり、この点、後述する第3実施例及び第4実施例とは異なっている。

【0027】この第1実施例の半導体ディスク装置は、メモリモジュールに対する書き込み構成に特徴を有するものである。そのため、図1には、特徴を有する書き込み面からの構成を示している。また、図1では、特徴を簡単に説明できるように、メモリモジュール群が1個のみ示している。なお、図1において、上述した図2との同一、対応部分には同一、対応符号を付して示している。

【0028】図1において、第1実施例の半導体ディスク装置1Aも、メモリモジュール群2、マイコン3A、ホストインタフェース4、バッファメモリ5及びメモリコントローラ6Aから構成されている。しかしながら、マイコン3A及びメモリコントローラ6Aが従来の半導体ディスク装置1とは異なっている。

【0029】第1実施例のマイコン3Aは、各メモリモジュール21、…、2nにデータを転送する場合における各メモリモジュール21、…、2n毎のディレイ情報3Aaを格納している。例えば、ディレイ情報3Aaをマイクロプログラムとして格納している。マイコン3Aは、データを書き込むメモリモジュール2iを認識した場合に、後述するメモリコントロール回路10に対してメモリモジュール群2へのデータ転送を起動させる前に、メモリコントローラ6Aにディレイ情報3Aaとその書き込み信号とを与える。

【0030】第1実施例のメモリコントローラ6Aは、従来の半導体ディスク装置1におけるメモリコントローラ6のコントロール回路に該当するメモリコントロール回路10に加えて、複数（ここでは3個とする）の遅延素子11～13と、セクタ14と、ディレイ情報レジスタ15とをさらに有する。

【0031】メモリコントロール回路10は、従来と同様に、マイコン3Aからの制御情報に応じて、制御用シリアルデータをクロック信号に同期してアクセス対象のメモリモジュール21に向けて出力したり、ホストインタフェース4を介してバッファメモリ5から取出した転送データをシリアルデータに変換し、クロック信号に同期してアクセス対象のメモリモジュール21に向けて出力したりするものである。

【0032】3個の遅延素子11~13は縦続接続されており、この縦続接続段にはメモリコントロール回路10から出力されたシリアルデータが与えられるようになされている。かくして、この縦続接続段の前後及び中間タップから所定の単位遅延時間ずつ位相が異なる計4個のシリアルデータが得られ、これらがセレクト14に選択入力として与えられるようになされている。セレクト14には、後述するディレイ情報レジスタ15から遅延素子セレクト信号が与えられ、この遅延素子セレクト信号に応じたシリアルデータを選択して、メモリモジュール群2と接続されているデータ線LDATに送出する。

【0033】ここで、単位遅延時間は、遅延されていないシリアルデータと最も遅延されたシリアルデータとの時間差でも、例えば、クロック信号の半分の周期より短くなる程度に選定される。遅延素子11、12、13としては、インバータ素子を数段直列に接続したものや、メモリモジュール群2へ与えるクロック信号（書き込みクロック信号）より高速のクロック信号に基づいてラッチ動作するラッチ回路を数段直列に接続したもの等を挙げることができる。

【0034】ディレイ情報レジスタ15には、マイコン3Aがメモリコントロール回路10のデータ転送を起動させる前に出力したディレイ情報（3Aa）と書き込み信号とが与えられ、ディレイ情報レジスタ15はその書き込み信号に応じてディレイ情報を保持し、その保持したディレイ情報を、セレクト14に遅延素子セレクト信号として与える。

【0035】ここで、メモリコントローラ6Aは、それ単独で1チップに搭載することが、又は、ホストインタフェース4及びバッファメモリ5と共に1チップに搭載することが实际的であり、メモリコントローラ6A内における意図しない転送遅延は実際上問題とならず、従来の課題で説明したように、各メモリモジュール21、…、2nに向かうデータ線LDAT及びクロック信号線LCLKでの転送遅延ずれやその変動等が問題となる。

【0036】マイコン3Aに予め格納しておく各メモリモジュール21、…、2n毎の上述したディレイ情報3Aaは、各メモリモジュール21、…、2nに向かうプリント配線基板上に形成されるデータ線LDAT及びクロック信号線LCLKでの転送遅延ずれやその変動等を考慮して定められたものである。例えば、各メモリモジュール21、…、2nの搭載位置（信号線長など）に

じて一義的に定めて格納しても良く、各メモリモジュール21、…、2nを実装した後に、実験によって最適なディレイ情報を定めて格納しても良い。

【0037】図1は、特徴構成の説明が簡単になるように、メモリモジュール群2が1個として構成を示している。しかし、実際的には、メモリモジュール群2も複数用意されることが多い。

【0038】図4は、メモリモジュール群2が複数（ここではx個とする）の場合において、図1のメモリコントローラ6A内を補間して示すものである。

【0039】メモリコントローラ6A内において、遅延時間が異なる複数のシリアルデータの選択用セレクト14の出力側には、メモリモジュール群2-1、…、2-xを選択するセレクト（例えばドライバ及びレシーバのx組でなる；第1実施例においてはドライバだけが意味を有する）16が設けられており、また、メモリコントロール回路15からのクロック信号の送出側にも、メモリモジュール群2-1、…、2-xを選択するセレクト（例えばドライバ及びレシーバのx組でなる；第1実施例においてはドライバだけが意味を有する）17が設けられており、これらセレクト16及び17は、マイコン3Aから与えられたモジュール群情報を保持するモジュール群情報レジスタ18からモジュール群セレクト信号が共通に与えられるようになされており、所望のメモリモジュール群2-j（jは1~x）へのデータ線LDAT-j及びクロック信号線LCLK-jを選択させる。

【0040】なお、複数のメモリモジュール群2-1~2-xがある場合において、単に、複数のデータ線LDAT-1~LDAT-x及び複数のクロック信号線LCLK-1~LCLK-xをそれぞれスター結線させるものであっても良い。

【0041】以上の構成を有する第1実施例の半導体ディスク装置1Aに書き込み動作を実行させる場合には、図示しないホストコンピュータ側から、ヘッダ番号、シリンダ番号、先頭セクタ番号、書き込みセクタ数等の情報を含むコマンドが与えられると共に、書き込み動作を指示するコマンドが与えられ、これらコマンドの発行後、シーク時間や回転時間等に相当する所定時間だけ経過した時点からデータが転送されてくる。

【0042】ホストインタフェース4を介してコマンドを受領したマイコン3Aは、そのコマンドを解析して、データを書き込むメモリモジュール21-jやそのメモリモジュール21-jでのセクタ対応のアドレス等のメモリモジュール21-jをアクセスし得る制御情報に変換する。この第1実施例の場合、制御情報にはそのメモリモジュール21-jについてのディレイ情報3Aaやモジュール群情報も含まれる。また、送信されてきたデータは、ホストインタフェース4を介してバッファメモリ5に与えられて格納される。

【0043】マイコン3Aは、まず、ディレイ情報3A

9

a及びその書き込み信号をメモリコントローラ6 A内のディレイ情報レジスタ15に与えて保持させ、セクタ14の選択状態を規定し、また、モジュール群情報及びその書き込み信号をメモリコントローラ6 A内のモジュール群情報レジスタ18に与えて保持させ、セクタ16及び17の選択状態を規定し、所望のメモリモジュール2 i-jへの転送パスを設定させる。

【0044】その後、マイコン3 Aは、メモリコントローラ6 A内のメモリコントロール回路10に制御情報を与えて転送を起動させる。

【0045】このとき、メモリコントロール回路10はまず、制御情報に基づいて、アドレスや書き込みを指示するコントロール信号等となる制御用シリアルデータをクロック信号に同期して出力する。メモリコントロール回路10から出力された制御用シリアルデータは、遅延素子段11~13及びセクタ14でなる可変移相手段を介して移相された後、セクタ16を介して所望のデータ線LDAT-jに出力され、一方、メモリコントロール回路10から出力されたクロック信号は、セクタ17を介して所望のクロック信号線CLK-jに出力される。かくして、所望のメモリモジュール2 i-jは、1セクタ分のデータが転送されることを認識して転送データ待ち受ける。

【0046】メモリコントロール回路10は、制御用シリアルデータの送出に続いて、バッファメモリ5に格納されている1セクタ分のデータを取り出してパラレル/シリアル変換し、クロック信号に同期して出力する。このときにも、メモリコントロール回路10から出力されたシリアルデータは、遅延素子段11~13及びセクタ14でなる可変移相手段を介して移相された後、セクタ16を介して所望のデータ線LDAT-jに出力され、一方、メモリコントロール回路10から出力されたクロック信号は、セクタ17を介して所望のクロック信号線CLK-jに出力される。データが転送されることを認識したメモリモジュール2 i-jは、転送されてきたシリアルデータをクロック信号に同期して取り込んで書き込み動作する。

【0047】このようなセクタ単位の転送が、ホストコンピュータ側から指示されたセクタ数分だけ繰返される。

【0048】なお、転送途中において、転送先のメモリモジュールをモジュール2 i-jからモジュール2 k-j (kは1~n)に変更する場合には、マイコン3 Aは、データ転送を一時中断させ、ディレイ情報3 Aa及びその書き込み信号をメモリコントローラ6 A内のディレイ情報レジスタ15に与えてセクタ14の選択状態を変更させた後、データ転送を再開させる。また、転送先のメモリモジュール群を変更させる場合も、ほぼ同様なシリアルデータの移相量調整処理を行なう。

【0049】図5は、この第1実施例におけるメモリコ

10

ントローラ6 Aからメモリモジュールへの書き込みタイミングの例を示すタイミングチャートである。

【0050】メモリモジュール群2-1におけるメモリコントローラ6 Aへの最近のメモリモジュール2 n-1においても(図5(a)及び(b)参照)、また、メモリモジュール群2-1におけるメモリコントローラ6 Aへの最遠のメモリモジュール2 1-1においても(図5(c)及び(d)参照)、それぞれ、各メモリモジュールに対応して転送データの位相が調整されているため、従来の課題で説明した各種原因によってクロック信号及びデータが各メモリモジュールへ取り込まれるタイミングにずれを生じさせようとしても、上記位相調整によってそのずれが緩和され、図5に示すように、適切なタイミングで各メモリモジュールが転送データを取り込むことができ、十分なセットアップタイムやホールドタイムを取ることができる。

【0051】以上のように、第1実施例によれば、半導体ディスク装置1 A内のメモリコントローラ6 Aから各メモリモジュール2 i-jへのデータ書き込み時の各メモリモジュール2 i-j毎のクロック信号及びデータの転送タイミングの差に応じたディレイ情報3 Aaを予めマイコン3 Aに記憶させておき、データ書き込み時に、マイコン3 Aからディレイ情報レジスタ15にディレイ情報3 Aaを書き込んで転送データの位相を調整するようにしたので、メモリモジュール2 i-jへの書き込みの際、最適なセットアップ及びホールドタイムに調整できる。これによりワーストなタイミングのメモリモジュールにクロック周期等を合わせる必要はなく、高速なメモリデータの書き込みが可能となる。

【0052】なお、メモリモジュール2 i-jにデータを書き込む際には、上述したように、データとクロック信号との位相関係が問題となり、この位相関係は相対的なものであるため、第1実施例とは異なって、データ位相は変更せずにクロック信号の位相を調整する方法もあり、かかる方法は、第1実施例の変形例を構成する。しかし、クロック信号は半導体ディスク装置全体に適宜利用されるものであって、例えば、メモリコントローラ6 Aの内部で動作するクロック位相と外部に出力するクロック位相が異なることが好ましくない場合も多く、第1実施例のように、データ側の位相を調整することが好ましい。

【0053】(B) 第2実施例

次に、本発明を半導体ディスク装置に適用した第2実施例を図面を参照しながら詳述する。

【0054】この第2実施例の半導体ディスク装置は、メモリモジュールからの読み出し構成に特徴を有するものである。そのため、図6には、特徴を有する読み出し面からの構成を示している。また、図6では、特徴を簡単に説明できるように、メモリモジュール群を1個で示している(複数の場合は直接適用はできないが上記図4

参照)。なお、図6において、上述した図2との同一、対応部分には同一、対応符号を付して示している。

【0055】図6において、第2実施例の半導体ディスク装置1Bも、メモリモジュール群2、マイコン3B、ホストインタフェース4、バッファメモリ5及びメモリコントローラ6Bから構成されている。しかしながら、マイコン3B及びメモリコントローラ6Bが従来の半導体ディスク装置1とは異なっている。

【0056】第2実施例のマイコン3Bは、各メモリモジュール21、…、2nにデータを転送する場合における各メモリモジュール21、…、2n毎のディレイ情報3Baを格納している。例えば、ディレイ情報3Baをマイクロプログラムとして格納している。マイコン3Bは、データを読み出すメモリモジュール2iを認識した場合に、後述するメモリコントロール回路30に対してメモリモジュール群2からのデータ転送を起動させる前に、メモリコントローラ6Bにディレイ情報3Baとその書き込み信号とを与える。

【0057】第2実施例のメモリコントローラ6Bは、従来の半導体ディスク装置1においても存在するメモリコントロール回路30及び読み出しデータの取り込み回路（フリップフロップ回路でなる）31に加えて、複数（ここでは3個とする）の遅延素子32～34と、セクタ35と、ディレイ情報レジスタ36とをさらに有する。

【0058】メモリコントロール回路30は、従来と同様に、マイコン3Bからの制御情報に応じて、制御用シリアルデータをクロック信号に同期してアクセス対象のメモリモジュール2iに向けて出力したり、取り込み回路31がクロック信号に同期して取り込んだメモリモジュール2iからの転送データをパラレルデータに変換してホストインタフェース4を介してバッファメモリ5に格納させたりするものである。

【0059】この第2実施例が従来と最も異なる点は、従来においては、メモリモジュール2iからデータを読み出させるためにメモリモジュール2iに向けて出力するクロック信号とメモリモジュール2iから読み出されたデータを取り込み回路31が取り込むようにさせるためのクロック信号とが同一位相のものであったが、第2実施例においては、これらクロック信号の位相を変えている点である。第2実施例においては、メモリモジュール2iからデータを読み出させるためにメモリモジュール2iに向けて出力するクロック信号の位相は従来と同様であるが、メモリモジュール2iから読み出されたデータを取り込み回路31が取り込むようにさせるためのクロック信号の位相は、メモリモジュール2i毎に異なるようにさせている。かかる機能の実現構成として、3個の遅延素子32～34、セクタ35及びディレイ情報レジスタ36が設けられている。

【0060】3個の遅延素子32～34は縦続接続され

ている。メモリコントロール回路30から出力されたクロック信号は、クロック信号線CLKに送出されると共に、この遅延素子縦続接続段32～34に与えられるようになされている。かくして、この縦続接続段の前後及び中間タップから所定の単位遅延時間ずつ位相が異なる計4個のクロック信号が得られ、これらがセクタ35に選択入力として与えられるようになされている。セクタ35には、後述するディレイ情報レジスタ36から遅延素子セレクト信号が与えられ、この遅延素子セレクト信号に応じたクロック信号を選択して、取り込み回路31に取り込みクロック信号として送出する。

【0061】ここでの単位遅延時間は、第1実施例における単位遅延時間と同一である必要はないが、遅延されていないクロック信号と最も遅延されたクロック信号との時間差でも、例えばクロック信号の半分の周期より短くなる程度に選定される。

【0062】ディレイ情報レジスタ36には、マイコン3Bがメモリコントロール回路30にメモリモジュール2iからのデータ転送を起動させる前に出力したディレイ情報（3Ba）と書き込み信号とが与えられ、ディレイ情報レジスタ36はその書き込み信号に応じてディレイ情報を保持し、その保持したディレイ情報を、セクタ35に遅延素子セレクト信号として与える。

【0063】ここで、メモリモジュール2iからデータを読み出すためには、クロック信号をメモリモジュール2iに与え、その読み出されたデータをメモリコントローラ6Bが取り込むため、メモリモジュール2iの搭載位置が、異なる信号ではあるが往復で影響し、書き込み動作以上にタイミングずれが問題となる。

【0064】マイコン3Bに予め格納しておく各メモリモジュール21、…、2n毎の上述したディレイ情報3Baは、各メモリモジュール21、…、2nに向かうプリント配線基板上に形成されるクロック信号線CLKでの転送遅延ずれやその変動、各メモリモジュール21、…、2nに接続しているプリント配線基板上に形成されるデータ線DATでの転送遅延ずれやその変動等を考慮して定められたものである。例えば、各メモリモジュール21、…、2nの搭載位置（信号線長など）に応じて一義的に定めて格納しても良く、各メモリモジュール21、…、2nを実装した後に、実験によって最適なディレイ情報を定めて格納しても良い。

【0065】図6は、特徴構成の説明が簡単になるように、メモリモジュール群2が1個として構成を示している。しかし、実際的には、メモリモジュール群2も複数用意されることが多くなる。図示は省略するが、メモリモジュール群が複数の場合には、所望のメモリモジュール群に接続するクロック信号線やデータ線を選択するセクタ等を設けて対応している（図4参照）。

【0066】以上の構成を有する第2実施例の半導体ディスク装置1Bに読み出し動作を実行させる場合には、

図示しないホストコンピュータ側から、ヘッダ番号、シリンドラ番号、先頭セクタ番号、書き込みセクタ数等の情報を含むコマンドが与えられると共に、読み出し動作を指示するコマンドが与えられる。

【0067】ホストインタフェース4を介してコマンドを受領したマイコン3Bは、そのコマンドを解析して、データを読み出すメモリモジュール2iやそのメモリモジュール2iでのセクタ対応のアドレス等のメモリモジュール2iをアクセスし得る制御情報に変換する。この第2実施例の場合、制御情報にはそのメモリモジュール2iについてのディレイ情報3Baも含まれる。

【0068】マイコン3Bは、まず、ディレイ情報3Ba及びその書き込み信号をメモリコントローラ6B内のディレイ情報レジスタ36に与えて保持させ、セクタ35の選択状態を規定し、所望のメモリモジュール2iからのデータを取り込むためのクロック位相を設定させる。

【0069】その後、マイコン3Bは、メモリコントローラ6B内のメモリコントロール回路30に制御情報を与えて読み出し転送を起動させる。

【0070】このとき、メモリコントロール回路30はまず、制御情報に基づいて、アドレスや読み出しを指示するコントロール信号等となる制御用シリアルデータを位相調整されていないクロック信号に同期して出力する（かかる動作は、例えば第1実施例の構成によって実行される）。

【0071】メモリコントロール回路30は、制御用シリアルデータの送出後においても、位相調整していないクロック信号をクロック信号線CLKを介してそのメモリモジュール群2に継続して送出する。所望のメモリモジュール2iは、上記制御用シリアルデータに基づいて自己が読み出し動作するものと認識して準備を行ない、その後、到来したクロックに同期してデータをデータ線LDATに送出する。

【0072】所望のメモリモジュール2iからデータ線LDATに読み出されたデータは、メモリコントローラ6B内において、セクタ35から出力された位相調整されたクロック信号に基づいて取り込み回路31で取り込まれ、その後、メモリコントロール回路30によってパラレルデータに変換され、ホストインタフェース4を介してバッファメモリ5に格納される。このようにしてバッファメモリ5に格納された読み出しデータが、ホストインタフェース4を介してホストコンピュータ側に送出される。

【0073】メモリモジュール群2内の他のメモリモジュール2-mから読み出す場合にも同様な処理が実行される。

【0074】図7は、この第2実施例におけるメモリコントローラ6Bにおけるメモリモジュールからの読み込みタイミングの例を示すタイミングチャートである。

【0075】メモリモジュール群2におけるメモリコントローラ6Bの最近のメモリモジュール2nにおいても（図7（a）及び（b）参照）、また、メモリモジュール群2におけるメモリコントローラ6Bの最遠のメモリモジュール21においても（図7（c）及び（d）参照）、それぞれ、各メモリモジュールに対応して転送データを取り込むためのクロック信号の位相が調整されているため、従来の課題で説明した各種原因によってデータが取り込み回路31に取り込まれるタイミングにずれを生じさせようとしても、上記位相調整によってそのずれが緩和され、図7に示すように、適切なタイミングでメモリコントローラ6B（取り込み回路31）が転送データを取り込むことができ、十分なセットアップタイムやホールドタイムを取ることができる。

【0076】以上のように、第2実施例によれば、半導体ディスク装置1B内のメモリコントローラ6Bへの各メモリモジュール2iからの読み出し時における、各メモリモジュール2iの搭載位置による転送タイミングの差に応じたディレイ情報3Baを予めマイコン3bに記憶させておき、メモリデータの読み出し時に、マイコン3Bからディレイ情報レジスタ36に書き込み記憶させて取り込みクロック信号の位相を調整するようにしたので、メモリモジュールからの読み出しデータを適切なタイミングで取り込むことができ、いずれのメモリモジュールから読み出す場合にもセットアップ及びホールドタイムを適切なものとできる。これにより、ワーストタイミングのメモリモジュールを考慮して装置のクロック信号を調整するようなことが不要とでき、また、高速なメモリデータの読み出しを可能とすることができる。

【0077】なお、位相調整されたクロック信号をメモリモジュールに与え、位相調整されていないクロック信号を取り込み回路31に与えることは、第2実施例の変形例を構成する。しかし、メモリモジュールへの書き込み時には位相調整されていないクロック信号をメモリモジュールに与えていることとの整合性や、クロック信号の送出時点からデータを取り込む時点までのサイクルが長くなる可能性があることから見て、上記第2実施例のように、位相調整されていないクロック信号をメモリモジュールに与え、位相調整されているクロック信号を取り込み回路31に与えることが好ましい。

【0078】また、第1実施例と同様に、読み出されたデータを移相制御し、取り込み回路31にはメモリコントロール部30からのクロック信号をそのまま与えるものも第2実施例の変形例を構成する。

【0079】（C）第3実施例

次に、本発明を半導体ディスク装置に適用した第3実施例を図面を参照しながら詳述する。

【0080】この第3実施例の半導体ディスク装置は、第1実施例の半導体ディスク装置と同様に、主としてメモリモジュールに対する書き込み構成に特徴を有するも

のであり、上記第1実施例の半導体ディスク装置と近似している点が多いので、第1実施例との相違点を中心に以下では説明を行なう。

【0081】図8は、第3実施例の半導体ディスク装置1Cの構成を示すブロック図であり、図1との同一、対応部分に同一、対応符号を付して示している。

【0082】図8において、第3実施例の半導体ディスク装置1Cにおけるメモリモジュール群2Cは、異なる動作スピードを有する複数のメモリモジュール21C~2nCを有している。ここでは、動作スピードは2種類として説明し、少なくともメモリコントローラ6Cに最近のメモリモジュール2nCは高速（例えば100ns）であり、最遠のメモリモジュール21Cは低速（例えば250ns）であるとする。

【0083】例えば、装置全体の価格をできるだけ押さえて、しかも、少なくともアクセス頻度の高いデータを高速にアクセス可能にする場合や、同一動作スピードのメモリモジュールの大量の入手が困難な場合等において、異なる動作スピードを有する複数のメモリモジュール21C~2nCを適用することは有用である。

【0084】ここで、動作スピードが高速なメモリモジュールはそのアクセスを高速にできるので、その性能を損なわないように、上述したように、メモリコントローラ6Cに近い側に搭載することが好ましい。

【0085】メモリモジュール群2Cが、異なる動作スピードを有する複数のメモリモジュール21C~2nCを有することに依りて、マイコン3C及びメモリコントローラ6Cの構成が第1実施例とは多少異なっている。

【0086】第3実施例のマイコン3Cは、各メモリモジュール21、…、2nCにデータを転送する場合における各メモリモジュール21、…、2nC毎のディレイ情報やそのとき用いるクロック信号の情報（以下、クロック幅情報）でなるタイミング情報3Caも格納している。例えば、タイミング情報3Caをマイクロプログラムとして格納している。マイコン3Cは、データを書き込むメモリモジュール21を認識した場合に、メモリコントロール回路10Cに対してメモリモジュール群2へのデータ転送を起動させる前に、メモリコントローラ6Cにタイミング情報3Caとその書き込み信号とを与える。

【0087】第3実施例のメモリコントローラ6Cは、第1実施例のディレイ情報レジスタ15に代えて、タイミング情報レジスタ15Cを有し、マイコン3Cからタイミング情報3Caとその書き込み信号が与えられたときにはそのタイミング情報3Caを保持する。タイミング情報レジスタ15Cは、その内のディレイ情報を遅延素子セレクト信号としてセクタ14に与えると共に、クロック幅情報をメモリコントロール回路10Cに与える。

【0088】この第3実施例のメモリコントロール回路10Cは、クロック幅コントロール部10Caを内蔵し

ており、タイミング情報レジスタ15Cから与えられたクロック幅情報に応じたクロック信号を採用する。クロック幅コントロール部10Caとしては、例えば、原発振器からの発振信号の分周比をクロック幅情報に応じて切り替えて所望のクロック信号を発生させるものや、高速用メモリモジュール用のクロック信号を基本クロック信号として低速用メモリモジュール用のクロック信号を採用する場合にはその基本クロック信号を分周するもの等を挙げることができる。

【0089】以上のように、第3実施例においては、転送先のメモリモジュールに応じてクロック信号が選択されると共に、そのクロック信号の移相量が選択されるようになされている。

【0090】以上詳述した構成を除いては、第1実施例と同様な構成であるので、その構成説明は省略する。また、メモリモジュール群が複数の場合も、上記以外は第1実施例と同様であるので、その説明は省略する。

【0091】以上の構成を有する第3実施例の半導体ディスク装置1Cに書き込み動作を実行させる場合には、図示しないホストコンピュータ側から、ヘッダ番号、シリンダ番号、先頭セクタ番号、書き込みセクタ数等の情報を含むコマンドが与えられると共に、書き込み動作を指示するコマンドが与えられ、これらコマンドの発行後、シーク時間や回転時間等に相当する所定時間だけ経過した時点からデータが転送されてくる。

【0092】ホストインタフェース4を介してコマンドを受領したマイコン3Cは、そのコマンドを解析して、データを書き込むメモリモジュール2iやそのメモリモジュール2iでのセクタ対応のアドレス等のメモリモジュール2iをアクセスし得る制御情報に変換する。この第3実施例の場合、制御情報にはそのメモリモジュール21についてのディレイ情報やクロック幅情報でなるタイミング情報3Caも含まれる。また、送信されてきたデータは、ホストインタフェース4を介してバッファメモリ5に与えられて格納される。

【0093】マイコン3Cは、まず、アクセスするメモリモジュール2iに対応したタイミング情報3Ca及びその書き込み信号をメモリコントローラ6C内のタイミング情報レジスタ15Cに与えて保持させ、セクタ14の選択状態（クロック信号の位相）を規定し、メモリコントロール回路10Cから出力させるクロック信号を規定し（クロック幅を選択し）、所望のメモリモジュール2iへの転送バスを設定させると共に、そのメモリモジュール2iに適合したクロック信号を採用させる。

【0094】その後、マイコン3Cは、メモリコントローラ6C内のメモリコントロール回路10Cに制御情報を与えて転送を起動させる。転送時の動作自体は、第1実施例と同様であるので、その説明は省略する。

【0095】ここで、転送先メモリモジュール2iが高速の動作スピードに係るものであっても、また、低速の

動作スピードに係るものであっても、クロック幅情報やディレイ情報自体は異なるが、上述した動作を行なう。

【0096】図9は、この第3実施例におけるメモリコントローラ6Cからメモリモジュールへの書き込みタイミングの例を示すタイミングチャートである。

【0097】メモリモジュール群2におけるメモリコントローラ6Cの最近のメモリモジュール2nにおいては（図9（a）及び（b）参照）は、高速動作スピードに応じたクロック幅（周期）を有するクロック信号が与えられるが、それに同期した転送データが位相調整されて与えられるので、適切なタイミングで転送データを取り込むことができ、十分なセットアップタイムやホールドタイムを取ることができる。また、メモリモジュール群2におけるメモリコントローラ6Cの最遠のメモリモジュール21においては（図9（c）及び（d）参照）、低速動作スピードに応じたクロック幅（周期）を有するクロック信号が与えられるので、この点から適切なタイミングで転送データを取り込むことができ、十分なセットアップタイムやホールドタイムを取ることができる。また、低速動作スピードに応じたクロック幅（周期）を有するクロック信号に同期した転送データが位相調整されて与えられるので、この点からも適切なタイミングで転送データを取り込むことができ、十分なセットアップタイムやホールドタイムを取ることができる。

【0098】以上のように、第3実施例によれば、半導体ディスク装置1Cにスピード性能の異なるメモリモジュールが存在していても、各メモリモジュールの書き込みクロック幅情報や書き込みクロックに対するメモリデータ信号のディレイ情報を、予めマイコン3Cに記憶させておき、データ書き込み時にそれらの情報3Caをレジスタ15Cに書き込み記憶させて、クロック幅（クロック信号種類）やクロック信号の移相量を選択させるようにしたので、いずれのメモリモジュール21へ書き込む際であっても、適切なクロック幅、セットアップタイム、ホールドタイムに調整することができる。

【0099】これにより、同一の半導体ディスク装置1Cに異なるスピード性能のメモリモジュールを搭載でき、書き込み頻度の高いデータを高速メモリへ記憶でき、全体として効率の良いメモリデータ書き込みができ、装置として高速、動作が可能となる効果がある。

【0100】なお、各メモリモジュール群についてその群内のメモリモジュールは同一動作スピードとし、メモリモジュール群間ではメモリモジュールの動作スピードを変えたものは、第3実施例の変形例を構成する。しかし、高速のメモリモジュールがメモリコントローラ6Cから遠い位置に搭載され、その高速性が損なわれるので、上記第3実施例のように、メモリモジュール群に関係なく、高速のメモリモジュールをメモリコントローラ6Cに近い位置に搭載することが好ましい。

【0101】また、遅延素子接続段11～13及びセレ

クタ14を省略し、クロック幅だけを所望のメモリモジュール21に応じて可変するものも、第3実施例の変形例を構成する。低速のメモリモジュールがセットアップタイム及びホールドタイムから問題がないものであり、高速のメモリモジュールが少なく、それに対してセットアップタイム及びホールドを考慮してタイムクロック幅（クロック信号）の調整を行なうものであれば、上記変形例は有効であるが、それでも、第3実施例より有効性は劣っている。

【0102】（D）第4実施例

次に、本発明を半導体ディスク装置に適用した第4実施例を図面を参照しながら詳述する。

【0103】この第4実施例の半導体ディスク装置は、第2実施例の半導体ディスク装置と同様に、主としてメモリモジュールからの読み出し構成に特徴を有するものであり、上記第2実施例の半導体ディスク装置と近似している点が多く、その相違点は、第1実施例と第3実施例間の相違点と同様である。

【0104】そこで、以下では構成の説明は省略し、図10を参照した動作の説明を通じて構成も明らかにすると共に、第2実施例との相違を明らかにする。なお、図10は、第4実施例の半導体ディスク装置1Dの構成を示すブロック図であり、第2実施例に係る図6との同一、対応部分に同一、対応符号を付して示している。

【0105】第4実施例の半導体ディスク装置1Dに読み出し動作を実行させる場合には、図示しないホストコンピュータ側から、ヘッダ番号、シリンダ番号、先頭セクタ番号、書き込みセクタ数等の情報を含むコマンドが与えられると共に、読み出し動作を指示するコマンドが与えられる。

【0106】ホストインタフェース4を介してコマンドを受領したマイコン3Dは、そのコマンドを解析して、データを読み出すメモリモジュール21Dやそのメモリモジュール21Dでのセクタ対応のアドレス等のメモリモジュール21Dをアクセスし得る制御情報に変換する。この第4実施例の場合、制御情報にはそのメモリモジュール21Dについてのディレイ情報やクロック幅情報となるタイミング情報3Daも含まれる。

【0107】マイコン3Dは、まず、アクセスするメモリモジュール21Dに対応したタイミング情報3Da及びその書き込み信号をメモリコントローラ6D内のタイミング情報レジスタ36Dに与えて保持させ、遅延素子接続段32～34からのクロック信号のセクタ35の選択状態（クロック信号の位相）を規定し、メモリコントロール回路10Dから出力させるクロック信号をそのクロック幅コントロール部30Daによって規定し（クロック幅を選択し）、所望のメモリモジュール21Dへのクロック信号のバスを設定させると共に、そのメモリモジュール21Dに適合したクロック信号を採用させる。

【0108】その後、マイコン3Dは、メモリコントローラ6D内のメモリコントロール回路30Dに制御情報を与えて読み出し転送を起動させる。

【0109】このとき、メモリコントロール回路30Dはまず、制御情報に基づいて、アドレスや読み出しを指示するコントロール信号等である制御用シリアルデータを位相調整されていないメモリモジュール2iD対応のクロック信号に同期して出力する（かかる動作は、例えば第3実施例の構成によって実行される）。

【0110】メモリコントロール回路30Dは、制御用シリアルデータの送出後においても、位相調整していないメモリモジュール2iD対応のクロック信号をクロック信号線CLKを介してそのメモリモジュール群2Dに継続して送出する。所望のメモリモジュール2iDは、上記制御用シリアルデータに基づいて自己が読み出し動作するものと認識して準備を行ない、その後、到来したクロック信号に同期してデータをデータ線LDATに送出する。

【0111】所望のメモリモジュール2iDからデータ線LDATに読み出されたデータは、メモリコントローラ6D内において、セクタ35から出力された位相調整されたクロック信号に基づいて取り込み回路31で取り込まれ、その後、メモリコントロール回路30によってパラレルデータに変換され、ホストインタフェース4を介してバッファメモリ5に格納される。このようにしてバッファメモリ5に格納された読み出しデータが、ホストインタフェース4を介してホストコンピュータ側に送出される。

【0112】メモリモジュール群2D内の他のメモリモジュール2mDから読出す場合にも同様な処理が実行される。この場合において、ディレイ情報及びクロック幅情報であるタイミング情報3Daは、そのメモリモジュール2mDに応じたものが用いられる。

【0113】図11は、この第4実施例におけるメモリコントローラ6Dからメモリモジュールへの書き込みタイミングの例を示すタイミングチャートである。

【0114】メモリモジュール群2Dにおけるメモリコントローラ6Dの最近のメモリモジュール2nDに対しては、高速動作スピードに応じたクロック幅（周期）を有するクロック信号が採用されるが、メモリモジュール2nDからの転送データを取り込むためのクロック信号の位相が調整されているため、従来の課題で説明した各種原因によってデータが取り込み回路31に取り込まれるタイミングにずれを生じさせようとしても、図11(a)及び(b)に示すように、上記位相調整によってそのずれが緩和され、適切なタイミングでメモリコントローラ6D（取り込み回路31）が転送データを取り込むことができ、十分なセットアップタイムやホールドタイムを取ることができる。

【0115】また、メモリコントローラ6Dの最遠のメ

モリモジュール21Dに対しては、低速動作スピードに応じたクロック幅（周期）を有するクロック信号が採用されるので、この点から適切なタイミングでメモリコントローラ6D（取り込み回路31）が転送データを取り込むことができ、十分なセットアップタイムやホールドタイムを取ることができる。また、メモリモジュール21Dからの転送データを取り込むためのクロック信号の位相が調整されているため、従来の課題で説明した各種原因によってデータが取り込み回路31に取り込まれるタイミングにずれを生じさせようとしても、図11(c)及び(d)に示すように、上記位相調整によってそのずれが緩和され、この点からも、適切なタイミングでメモリコントローラ6D（取り込み回路31）が転送データを取り込むことができ、十分なセットアップタイムやホールドタイムを取ることができる。

【0116】以上のように、第4実施例によれば、半導体ディスク装置1Dにスピード性能の異なるメモリモジュールが存在していても、各メモリモジュールの読み出しクロック幅情報や読み出しクロックに対する取り込みクロック信号のディレイ情報を予めマイコン3Dに記憶させておき、データ読み出し時にそれらのタイミング情報3Daをレジスタ36Dに書き込み記憶させて、クロック幅（クロック信号種類）やクロック信号の移相量を選択させるようにしたので、いずれのメモリモジュール2iDから読出す際であっても、適切なクロック幅、セットアップタイム、ホールドタイムに調整することができる。

【0117】これにより、同一の半導体ディスク装置1Dに異なるスピード性能のメモリモジュールを搭載でき、読み出し頻度の高いデータを高速メモリへ記憶でき、全体として効率の良いメモリデータ書き込みができ、装置として高速、動作が可能となる効果がある。

【0118】なお、第4実施例に対しても、第3実施例の説明で述べたような変形例を挙げることができるが（これ変形例自体本発明の実施例）、第3実施例で説明したと同様な理由により、それら変形例に比較すると、第4実施例の方が好ましい。

【0119】(E) 他の実施例

以上の各実施例の説明においても、本発明の他の実施例を種々説明したが、さらに以下のような他の実施例を挙げることができる。

【0120】上記各実施例においては、フラッシュメモリを意図したメモリモジュールを用いたものを説明したが、他の種類のメモリを用いたものであっても良い。例えば、アドレス線とデータ線とが別個のものの場合における書き込み構成においては、アドレスデータの位相可変手段も必要となる。

【0121】また、上記各実施例においては、タイミング調整用の情報（ディレイ情報やタイミング情報）をマイコンに予め格納しておくものを示したが、当初からメ

21

メモリコントローラ側に格納しておくものであっても良い。

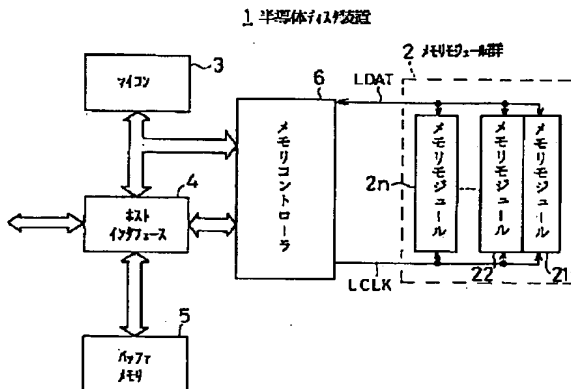
【0122】さらに、本発明は、その適用対象が半導体ディスク装置に限定されるものではなく、共通の信号線に複数のメモリモジュールが接続している部分を有する半導体記憶装置に広く適用することができる。例えば、マイコンやCPUがメモリモジュール群を直接アクセスする装置にも適用できる。

【0123】

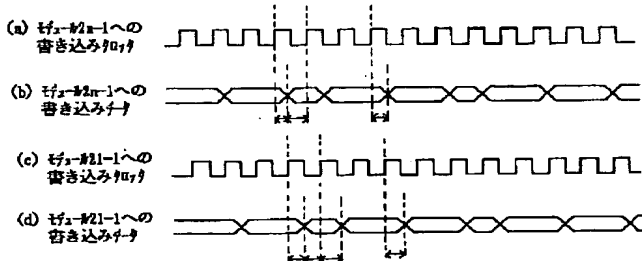
【発明の効果】以上のように、本発明によれば、各半導体メモリモジュールに対応したアクセスタイミング情報を予め格納し、このタイミング情報格納部に格納されているタイミング情報に基づいて、アクセス対象の半導体メモリモジュールに応じて、転送先側でのデータ取り込みタイミングを可変させたり、及び又は、クロック幅を変化させたりするアクセス手段を設けたので、データ線やクロック信号線等を共有されているいずれのメモリモジュールのアクセスした場合であっても、十分なセットアップタイムやホールドタイムを確保できる高速動作可能な半導体記憶装置を実現できる。

【図面の簡単な説明】

【図2】



【図5】



22

【図1】第1実施例の構成を示すブロック図である。

【図2】従来の構成を示すブロック図である。

【図3】従来のタイミングチャートである。

【図4】第1実施例のメモリモジュール群が複数の場合の一部構成を示すブロック図である。

【図5】第1実施例のタイミングチャートである。

【図6】第2実施例の構成を示すブロック図である。

【図7】第2実施例のタイミングチャートである。

【図8】第3実施例の構成を示すブロック図である。

【図9】第3実施例のタイミングチャートである。

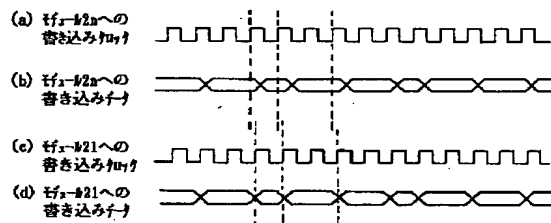
【図10】第4実施例の構成を示すブロック図である。

【図11】第4実施例のタイミングチャートである。

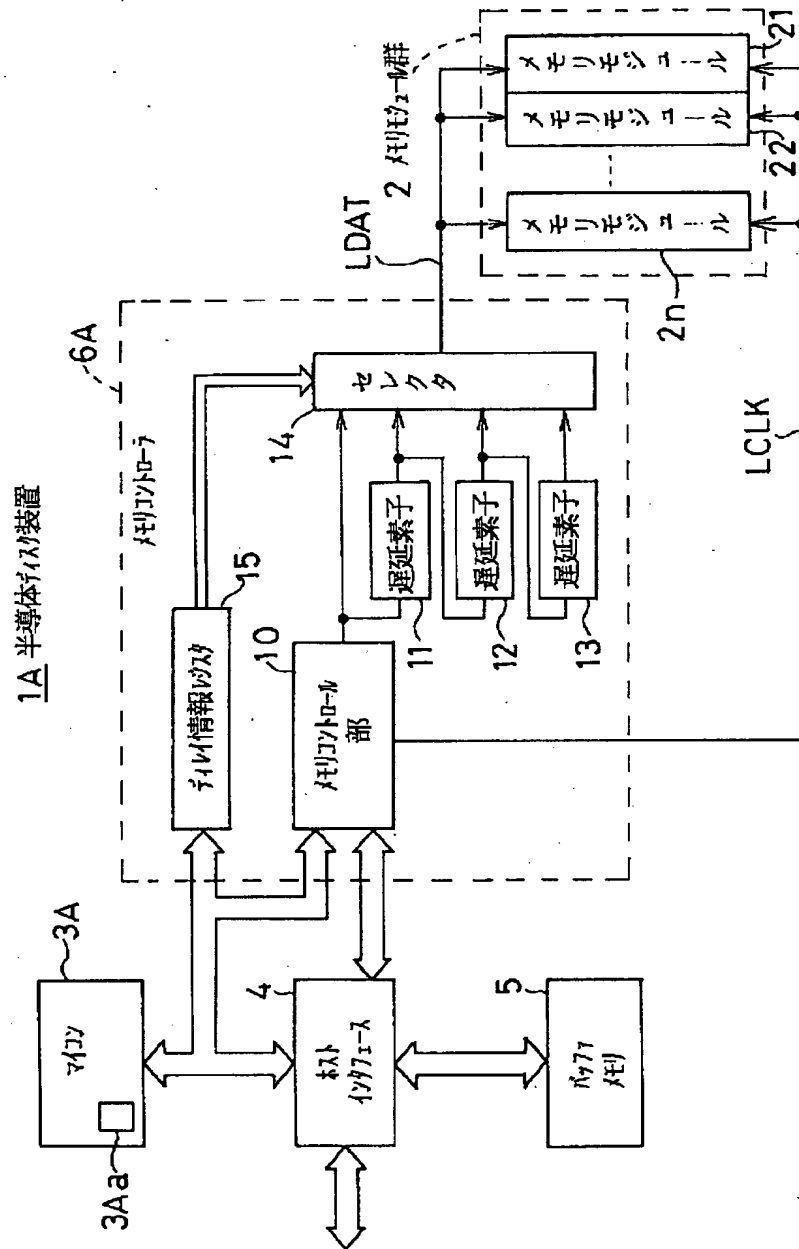
【符号の説明】

1 A、1 B、1 C、1 D…半導体ディスク装置、2、2 C、2 D…メモリモジュール群、3 A、3 B、3 C、3 D…マイコン、3 A a、3 C a…ディレイ情報、3 B a、3 D a…タイミング情報、6 A、6 B、6 C、6 D…メモリコントローラ、11～13、32～34…遅延素子、14、35…セクタ、15、15 C…ディレイ情報レジスタ、31…取り込み回路、36、36 D…タイミング情報レジスタ。

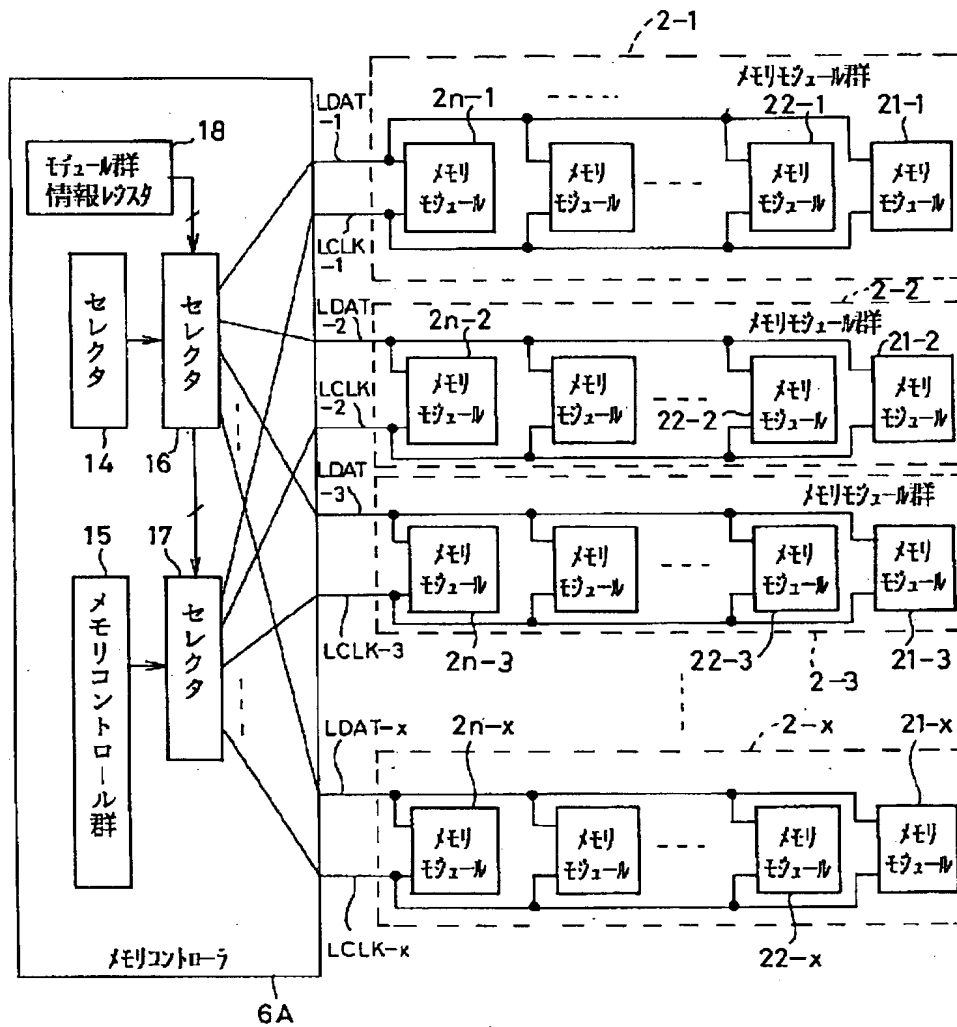
【図3】



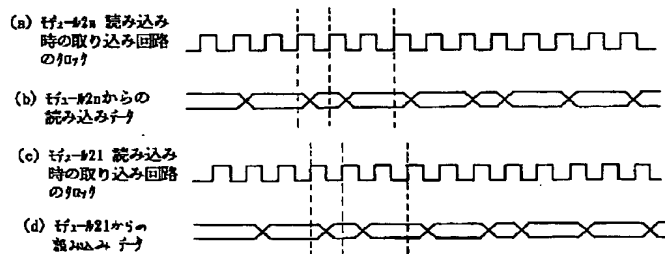
【図1】



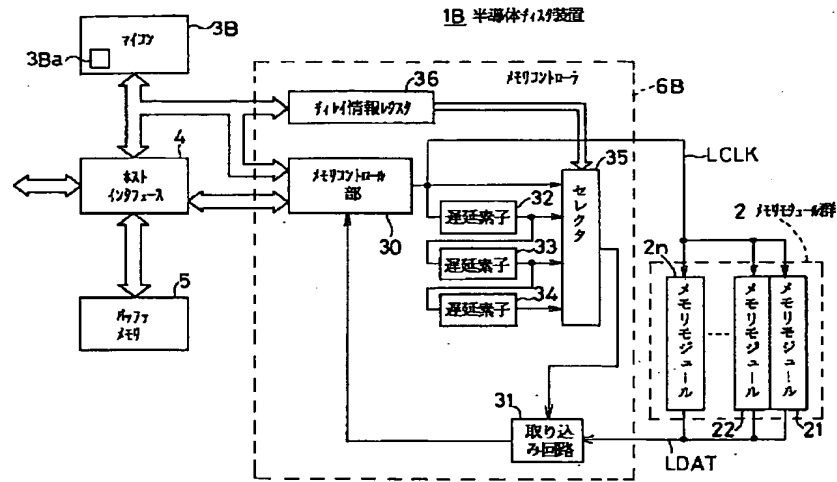
【図4】



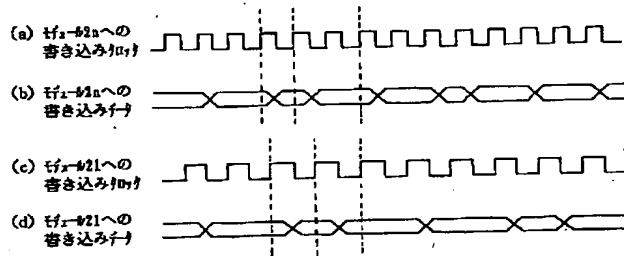
【図7】



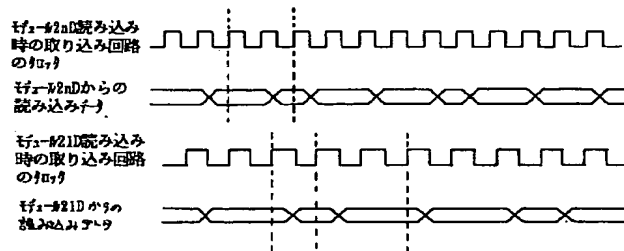
【図6】



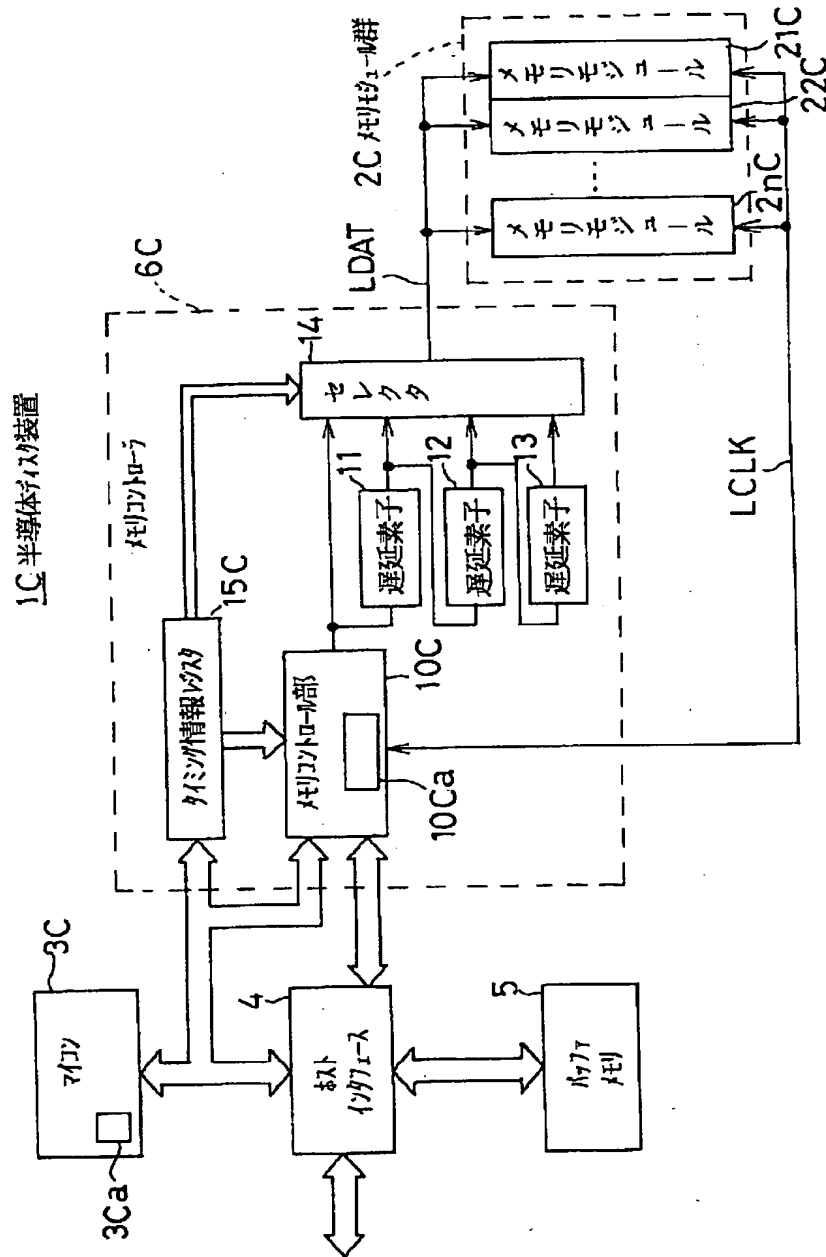
【図9】



【図11】



【図8】



【図10】

